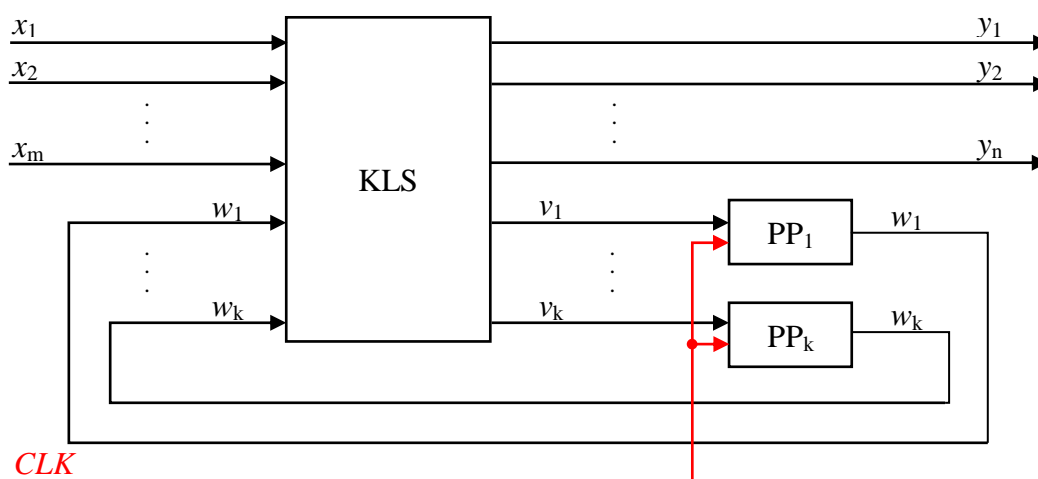


5. Sekvenčné logické systémy

Sekvenčný logický systém (SLS) resp. sekvenčný logický obvod (SLO) je charakteristický tým, že výstupné premenné (výstupné vektory) závisia nielen od vstupných premenných (vstupných vektorov) v danom časovom okamihu, ale aj od postupnosti (sekvencie) vstupných premenných (vektorov) v predchádzajúcich časových okamihoch. V závislosti od postupnosti vstupných premenných (vektorov) môže teda sekvenčný obvod v danom čase generovať rôzne výstupné vektory. (hodnoty výstupných premenných).

Chovanie sa sekvenčného logického systému (obvodu) teda vyjadruje jeho pamäťovú schopnosť – pamäť prvok PP.



Obr. 1 Bloková schéma asynchrónneho (synchronného) sekvenčného logického systému

Vzťah medzi výstupnými a vstupnými premennými môžeme zapísať:

$$y_i(t) = f_i\{x_1(t), \dots, x_m(t), w_1(t), \dots, w_k(t)\}$$

V sekvenčných logických systémoch však existuje časový nesúlad medzi vstupnými a výstupnými vnútornými signálmi:

$$y_i(t) = f_i\{x_1(t), \dots, x_m(t), v_1(t-1), \dots, v_k(t-1)\}$$

5.1. Asynchrónny a synchronný logický systém

Logický systém je systém dynamicky pracujúci v čase. Hodnoty výstupných premenných sa menia v určitých časových okamihoch. Ak tieto časové okamihy zmien závisia len od okamihov zmien vstupných premenných, hovoríme o **asynchrónnom logickom systéme**.

Existuje však trieda číslicových systémov, v ktorých okamihy zmien sú určené významnými zmenami osobitnej premennej. Tieto nazývame **synchronizačná** alebo **hodinová premenná** (hodiny, clock, CLK). Táto premenná je generovaná špeciálnym zariadením v okolí systému, ktoré nazývame generátor hodín. Synchronizačnú premennú obyčajne nepovažujeme za vstupnú premennú systému.

Túto triedu logických systémov nazývame **synchronne logické systémy**.

Exaktne sa delenie na asynchrónne a synchronne systémy týka len sekvenčných obvodov.

5.2. Logické systémy s pevnou a programovateľnou funkciou

Systém s pevnou funkciou sa vyznačuje tým, že požadované správanie (funkcia) systému je dosiahnuté zostavením vhodnej, pre túto funkciu špecifickej štruktúry. Funkciu systému určuje teda jednoznačne jeho štruktúra a zmena funkcie vyžaduje zmenu štruktúry systému.

Systém s programovateľnou (pružnou, flexibilnou) funkciou sa vyznačuje tým, že jeho funkcia je určená programom, uloženým v osobitnom pamäťovom podsysteme. Zmena funkcie systému sa dosahuje zmenou programu a nie zmenou štruktúry systému.

Do tejto kategórie patria systémy s mikroprocesormi spolu so svojimi podpornými obvodmi (pamäte, I/O obvody ...) a logické obvody triedy PLD (Programmable Logic Devices) resp. ASIC (Application Specific Integrated Circuits).

5.3. Hlavné úlohy pri návrhu logických systémov

Logický systém je jednoznačne definovaný **chovaním (správaním)** a **štruktúrou**. Pod chovaním rozumieme aká je odozva LS na podnety – reakcia výstupov na všetky možné kombinácie vstupov. Pod štruktúrou LS rozumieme z akých prvkov sa skladá a aké sú medzi prvkami väzby.

Hlavné úlohy pri návrhu LS sú **analýza, syntéza, modelovanie** a **simulácia**. To všetko predchádza realizácii logického systému.

5.3.1. Analýza číslicových systémov

Predstavuje riešenie nasledujúcej úlohy: je určená štruktúra číslicového systému a treba nájsť a opísať jeho správanie.

Výsledkom analýzy je jednoznačné riešenie!

Účel: - rozvoj poznania, zistenie, lokalizácia a odstránenie porúch.

5.3.2. Syntéza logických systémov

Predstavuje riešenie opačného problému. Verbálnym spôsobom alebo pomocou formálnych matematických prostriedkov je opísané správanie sa LS. Úlohou je navrhnuť štruktúru LS, ktorá má požadované správanie sa a parametre.

Syntéza číslicových systémov vo všeobecnosti nie je jednoznačná, pretože existuje množstvo rôznych riešení, ktoré vyhovujú daným požiadavkám. Preto sa hľadá optimálne riešenie podľa rôznych kritérií - hovoríme o optimálnej syntéze alebo o optimalizácii.

5.3.3. Modelovanie a simulácia logických systémov

Ide o vytvorenie vhodného matematického (alebo iného) modelu štruktúry a zodpovedajúceho programu pre počítač, ktorý umožňuje experimentovať s týmto modelom akoby s logickým systémom a overovať jeho správanie. Toto sa obyčajne deje v inej časovej mierke oproti reálnej funkcii obvodu. (Modely sú v knižniciach komponentov, výstup simulácie sú časové priebehy vstupných a výstupných signálov - logický analyzátor alebo pravdivostná resp. funkčná tabuľka).

5.4. Preklápacie obvody (PO)

Predmetom nášho skúmania budú bistabilné PO, to znamená, že obvod sa môže nachádzať v jednom z dvoch stabilných stavov. Vstupmi obvodu je možné ho medzi týmito stavmi ľubovoľne preklápať. Sú to teda jednobitové pamäťové elementy (PP), ktoré na svojom výstupe uchovávajú logickú hodnotu 0 resp. 1. Okrem použitia v pamäťovej časti sekvenčných obvodov sú PO základom realizácie registrov, statických pamätí, počítadiel

a deličov frekvencie. V záujme všeobecnejšieho prehľadu uvádzam rozdelenie PO podľa rôznych kritérií.

5.4.1. Delenie preklápacích obvodov

Podľa stavov:

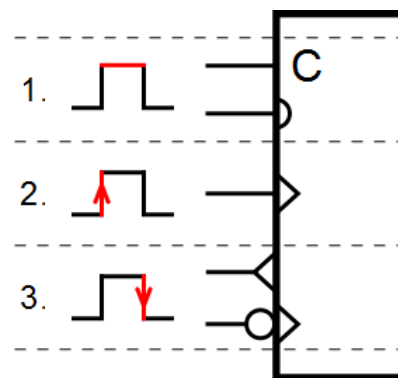
- **astabilné** - dva nestabilné stavy, žiaden stabilný,
- **monostabilné** - jeden stabilný, jeden nestabilný stav,
- **bistabilné** - dva stabilné stavy, žiaden nestabilný.

Podľa existencie synchronizácie:

- **asynchrónne** (alebo tiež **transparentné**) - preklapia sa ihneď po zmene úrovne na niektorom riadiacom vstupe (angl. *Latch* alebo *Transparent latch*),
- **synchrónne** - preklapia sa len v súčinnosti so synchronizačným (*hodinovým, taktovacím*) vstupom, ktorý (úrovňou alebo zmenou úrovne) povoľuje reakciu obvodu na riadiace vstupy (angl. *Gated latch, Clocked latch, alebo Flip-flop* podľa typu synchronizácie, vid' nižšie)

Podľa typu synchronizácie (týka sa len synchrónnych preklápacích obvodov):

- 1 - synchronizácia **úrovňou** hodinového signálu (úrovňová alebo hladinová synchronizácia) (angl. *Gated latch* alebo *Clocked latch*)
- 2 - synchronizácia **nábežnou hranou** hodinového signálu (derivačná synchronizácia) (angl. *Positive edge triggered flip-flop*)
- 3 - synchronizácia **úbežnou hranou** hodinového signálu (derivačná synchronizácia) (angl. *Negative edge triggered flip-flop*)

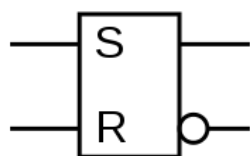


Spôsob značenia hodinového vstupu hradla s PO podľa typu synchronizácie zobrazuje obrázok vpravo

Podľa funkcie (týka sa len bistabilných preklápacích obvodov):

- **RS,**
- **RST,**
- **D,**
- **JK,**
- **T,**
- **Schmittov preklápací obvod**

5.4.2. Preklápací obvod RS



Preklápací obvod RS (angl. *SR latch*) je najjednoduchší asynchrónny bistabilný PO. Má dva vstupy: **R** (z angl. *Reset* – nulovanie) a **S** (z angl. *Set* – nastavenie). Uložená hodnota je k dispozícii na výstupe **Q**. Obvykle je k dispozícii tiež negovaný výstup (\bar{Q}).

Základný stav oboch vstupov je log. 0. V tomto režime si obvod pamätá naposledy nastavenú hodnotu. Privedením log. 1 na vstup **S** sa obvod nastaví ($Q = \text{log. } 1$) a vďaka vnútornej spätnej väzbe zostane nastavený aj po návrate vstupu **S** na log. 0. Privedením log. 1 na vstup **R** sa vynuluje ($Q = \text{log. } 0$) a rovnako zostane vynulovaný aj po návrate **R** na log. 0. Kombinácia $R = S = \text{log. } 1$ sa nazýva *zakázaný* (alebo tiež nestabilný, hazardný) stav, pretože pri ňom nie je definované v akom stave zostane obvod po návrate **R** a **S** na log. 0.

PRIEMYSELNÁ INFORMATIKA
LOGICKÉ RIADENIE – preklápacie obvody

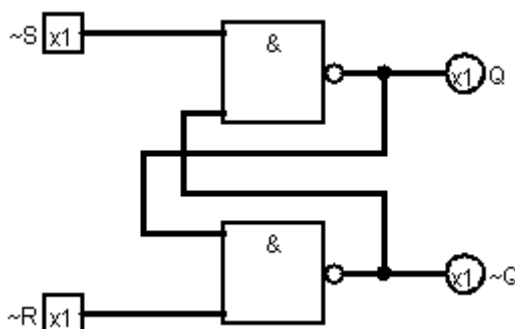
Pravdivostná tabuľka PO RS

s	S	R	Q^n	Q^{n+1}	<i>poznámka</i>
0	0	0	0	0	zachovanie stavu
1	0	0	1	1	zachovanie stavu
2	0	1	0	0	vynulovanie
3	0	1	1	0	vynulovanie
4	1	0	0	1	nastavenie
5	1	0	1	1	nastavenie
6	1	1	0	-	zakázaný stav
7	1	1	1	-	zakázaný stav

V praxi sa používa aj zjednodušená forma zápisu

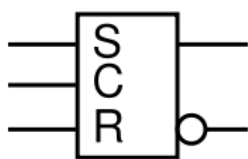
S	R	Q^{n+1}	<i>poznámka</i>
0	0	Q^n	zachovanie stavu
0	1	0	vynulovanie
1	0	1	nastavenie
1	1	-	zakázaný stav

Schéma obvodu RS, zloženého z hradiel NAND je na Obr.2. Vstupy R a S sú v tomto prípade negované – aktívne v log. 0.



Obr. 2 Preklápací obvod RS

5.4.3. Preklápací obvod RST



Preklápací obvod RST (angl. *Gated SR latch*)

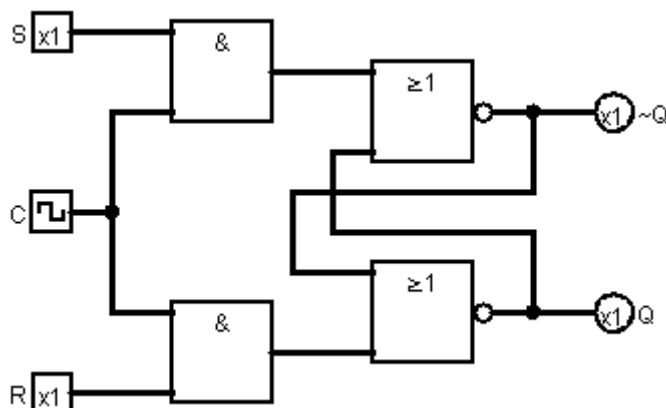
je *synchronný* variant obvodu RS. Princíp zostáva zachovaný, avšak k preklopeniu obvodu dochádza len v konkrétnych prípadoch, v závislosti od hodnoty signálu na hodinovom vstupe T (alebo častejšie C z angl. *Clock* – hodiny). Obvod RST je synchronizovaný úrovňou (hladinová synchronizácia) hodinového signálu – stav je možné meniť po celú dobu trvania hodinového impulzu.

Pravdivostná tabuľka PO RST

S	R	C	Q^{n+1}	<i>poznámka</i>
-	-	0	Q^n	zachovanie stavu
0	0	1	Q^n	zachovanie stavu
0	1	1	0	vynulovanie
1	0	1	1	nastavenie
1	1	1	-	zakázaný stav

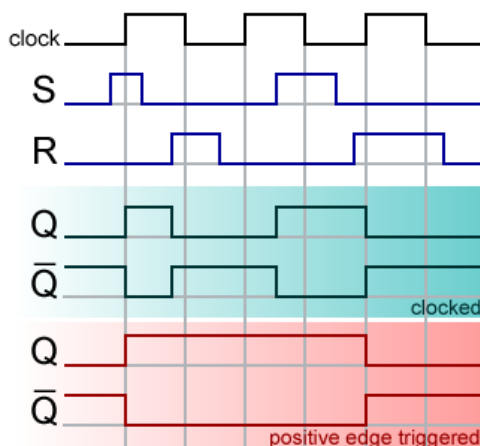
PRIEMYSELNÁ INFORMATIKA
LOGICKÉ RIADENIE – preklápacie obvody

Schéma obvodu RST, zloženého z hradíel NOR a AND, Obr. 3. Ak je na hodinovom vstupe C log. 0, hradlá AND blokujú vstupy R a S



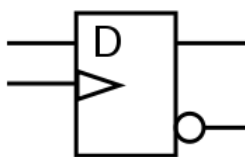
Obr. 3 Preklápací obvod RST

Časové priebehy signálov na obvode RST. Zelený priebeh úrovňová synchronizácia, červený priebeh synchronizácia nábežnou hranou.



Obr. 4 Časové priebehy signálov RST

5.4.4. Preklápací obvod D

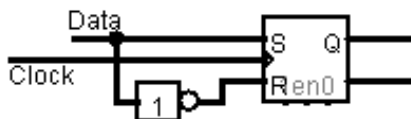


Preklápací obvod D (z angl. *Delay* – zdržanie) je synchronný bistabilný PO so vstupom D (*Data*) a hodinovým vstupom C (*Clock*). Obvod realizuje 1-bitovú pamäť. Pri nábežnej hrane hodinového signálu sa momentálna hodnota vstupu D skopíruje do vnútorného stavu a na výstup, kde zostane zachovaná až do nasledovnej nábežnej hrany hodinového signálu.

Pravdivostná tabuľka PO D

D	C	Q^{n+1}	<i>poznámka</i>
-	0	Q^n	zachovanie stavu
0	↑1	0	nastavenie log. 0
1	↑1	1	nastavenie log. 1

Jednoduchý preklápací obvod D je možné zostaviť z obvodu RST tak, že na vstup S privedieme priamo hodnotu vstupu D a na vstup R jeho negovanú hodnotu (pozri Obr. 5). Obvod sa potom pri log. 1 na vstupe D nastaví a naopak pri log. 0 vynuluje.

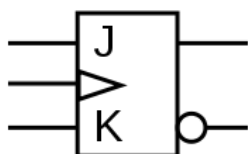


Obr. 5 Preklápací obvod D

PO D sa v praxi väčšinou vyrábajú so synchronizáciou nábežnou hranou hodinového signálu. Mávajú tiež často okrem vstupu *D* vyvedené aj vstupy *R* a *S*, umožňujúce nastavenie a nulovanie obvodu (synchronne alebo asynchrónne).

PO D tvoria základ **posuvných registrov**.

5.4.5. Preklápací obvod JK



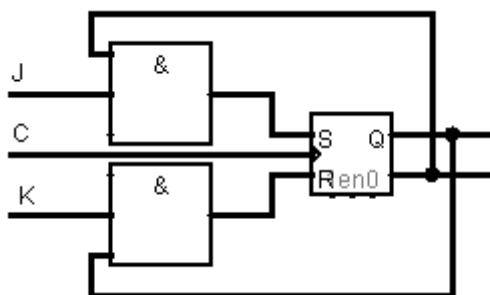
Preklápací obvod JK je synchronný bistabilný PO. Je rozšírením obvodu RST. Vstup *J* (=S) nastavuje log. 1, *K* (=R) nastavuje log. 0. Rozšírením je interpretácia vstupnej kombinácie $R = S = 1$, ktorá je pri obvode RS(T) zakázaná. Obvod JK pri tejto kombinácii vstupov zneguje (preklopí, invertuje) uloženú hodnotu.

PO JK sa v praxi väčšinou vyrábajú ako synchronizované nábežnou hranou. JK sú univerzálne PO, ktorými je možné v prípade potreby jednoducho nahradiť PO typov RST, D a T.

Pravdivostná tabuľka PO JK

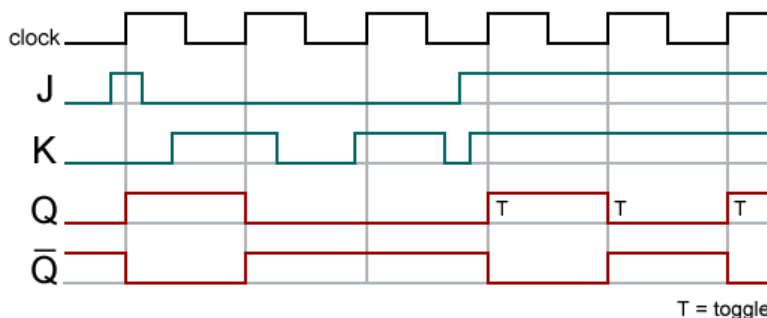
<i>J</i>	<i>K</i>	<i>C</i>	Q^{n+1}	<i>poznámka</i>
-	-	0	Q^n	zachovanie stavu
0	0	↑1	Q^n	zachovanie stavu
0	1	↑1	0	vynulovanie
1	0	↑1	1	nastavenie
1	1	↑1	$\overline{Q^n}$	znegovanie stavu

Schéma obvodu JK, zloženého z (hranou synchronizovaného) obvodu RST a hradla AND, Obr. 6.

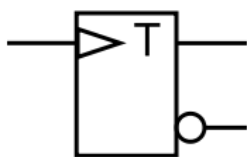


Obr. 6 Preklápací obvod JK

Časové priebehy signálov na obvode JK. T vyznačuje body, v ktorých došlo k negácii uloženej hodnoty ($J = K = 1$).



5.4.6. Preklápací obvod T



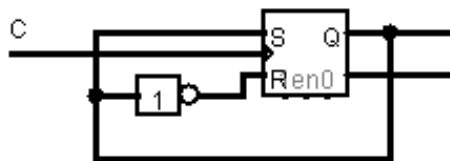
Preklápací obvod T (z angl. *Toggle* – preklopiť) je bistabilný PO s jediným vstupom T (synchronný variant má navyše hodinový vstup). Ak je na vstupe T log. 0, obvod zachováva predošlý stav. Po privedení log. 1 na vstup T sa predošlý stav zneguje.

Pravdivostná tabuľka PO T

T	Q^n	Q^{n+1}	<i>poznámka</i>
0	0	0	zachovanie stavu
0	1	1	zachovanie stavu
1	0	1	znegovanie stavu
1	1	0	znegovanie stavu

Synchronný obvod T je možné vytvoriť z obvodu JK prostým prepojením jeho vstupov do jediného ($J = K = T$). Asynchronný obvod T je možné vytvoriť zo synchronného prepojením hodinového signálu so vstupom T ($C = T$).

Schéma asynchronného obvodu T, zloženého z (hranou synchronizovaného) hradla RST a invertora.



Obr. 7 Preklápací obvod T

Obvod T tvorí základ počítačiel a deličiek frekvencie. Po privedení pravouhlého signálu s frekvenciou f na vstup T asynchronného obvodu T (prípadne na vstup C synchronného obvodu pri súčasnom nastavení vstupu T na log. 1), dostaneme na jeho výstupe signál s frekvenciou $f/2$.

5.5. Postup pri syntéze LS

- Na základe analýzy slovného zadania rozhodnúť:
 - o type LS (kombinačný LS, sekvenčný LS),
 - vstupoch a výstupoch, priradiť logické úrovne vstupným a výstupným premenným.
- Štandardným spôsobom popísať chovanie LS (pravdivostná tabuľka, karnaughova mapa, stavový diagram).

ak KLS	ak SLS
3. K Zostaviť optimálnu (minimálnu) logickú funkciu disjunktnou alebo konjunktívnu formou.	3a S . Zostaviť tabuľku alebo mapu prechodov. 3b S . Zvoliť štandardný pamäťový prvok (PO) a vygenerovať preň budiace funkcie (funkcie vstupov PO).
- Logickú funkciu upraviť na použitie jednotného typu hradla (NAND, NOR).
- Zostaviť štruktúru logického systému teda schému zapojenia z hradiel resp. PO – logický obvod.
- Vykonať analýzu logického obvodu – kontrola správnosti riešenia.